Межотраслевой научно-практический журнал

129366, г. Москва, ул. Кибальчича, д.7, офис 502. Тел/факс: (495) 510-32-55, e-mail: integral@bst.ru

«Интеграл» № 1, № 2 (2008).

Расширенная версия статьи http://www.nanometer.ru/2008/02/08/nanoelektronika_5900.html

ПЕРСПЕКТИВЫ РАЗВИТИЯ В РОССИИ ГЛУБОКО СУБВОЛЬТОВОЙ НАНОЭЛЕКТРОНИКИ И СВЯЗАННЫХ С НЕЙ ТЕХНОЛОГИЙ

Деспотули А.Л., Андреева А.В.

Институт проблем технологии микроэлектроники и особочистых материалов РАН, г. Черноголовка, Россия

Аннотация. Выдвинута перспективная национальная задача - создание глубоко субвольтовой наноэлектроники (ГСН) - интегральных приборов, функционирующих вблизи теоретического предела расхода энергии на обработку 1 бит. Рассмотрена проблема высокоемких конденсаторов микронных размеров для зарождающейся ГСН. Показано, что импульсные накопители на основе передовых суперионных проводников (наноионные суперконденсаторы, НСК) имеют технологический запас и удовлетворяют требованиям ГСН и связанных с ней технологий.

1. Стратегическое значение интегральных технологий

В 1965 году Г.Мур [1], используя рыночные категории «функциональность – стоимость», сделал первый прогноз развития микроэлектроники. Экспоненциальный рост производительности интегральных схем (ИС) и снижение их стоимости инициировали развертывание глобальной конкуренции и превращение микроэлектроники в фактор «системно-ресурсной геополитики» [2]. В США создание ИС с все большей плотностью компонентов поддерживается политически и финансово (Nanoelectronics Research Initiative (NRI) [3], National Nanotechnology Initiative (NNI), DARPA, Air Force Research Laboratory, Office Naval Research, NFS и др.). В [3] раскрываются геостратегические цели NRI-программы, которая направлена на поиски следующего поколения носителей, способов обработки и передачи информации («…country which finds the next logic switch first will undoubtedly lead the Nanoelectronics era, the same way the U.S. has led the Microelectronics era for the past half century»). Вооруженные силы США и НАТО строятся в соответствии с концепцией гарантированного превосходства, базирующегося на использовании передовых технологий. В США электронная индустрия, академическое сообщество и военное ведомство (DoD) тесно сотрудничают. Примером является долговременная программа FCRP (http://fcrp.org/member/about/mission_statement.asp), осуществляющая поиск прорывных и революционных решений в области ИС-CMOS (достижение и преодоление пределов CMOS). В [4] обосновано сказано: «Поэтому в дальнейшем имеет смысл говорить не о паритете по видам вооружений, а по технологиям. Гонку вооружений заменяет гонка технологий».

Геополитика реализуется через деятельность крупнейших электронных корпораций. Они не столько конкурируют на рынках, предлагая близкие по параметрам и стоимости приборы, сколько активно сотрудничают в области перспективных разработок и базовых технологий (SEMATECH и др.), а образованные ими прогностические структуры International Technology Roadmap for Semiconductors (ITRS) [5] фактически координируют в глобальном масштабе темпы развития интегральной электроники. Это признаки существования картеля, контролирующего информационный и интеллектуальный ресурсы, производство и сбыт стратегически значимой продукции (Рис.1). Значимость факторов научного и технологического доминирования объясняет инновационную стратегию США – возглавить «Nanoelectronics era» [3], несмотря на наличие суммарного долга субъектов американской экономики в 50 триллионов долларов (4,5 годовых ВВП).

Рис.1. Представительство крупнейших корпораций в SEMATEC и в ITRS [5].

2. Субвольтовая наноэлектроника

В современной наноэлектронике напряжение электропитания V_{dd} ИС становится субвольтовым. На Рис.2 представлен прогноз уменьшения V_{dd} и длины затвора полевых транзисторов у высокопроизводительных и экономичных ИС массового производства. Хроника конца 2007 года: 1) корпорация Intel выпускает 45 нм процессоры; 2) Toshiba (декабрь 2007 г.) объявляет о разработке базисных технологий для 32 нм ИС и 10 нм флэш памяти плотностью 10^{11} бит/см^2 ; 3) Samsung при поддержке DARPA и NSF разработал прототип 33 нм матричной памяти (DRAM) с плотностью 10^{11} бит/см^2 [6]. В период до 2015 года российским компаниям трудно конкурировать с зарубежными корпорациями на мировых рынках субвольтовой наноэлектроники, так как даже крупнейший отечественный производитель «СИНТРОНИКС» только осваивает производство 180 нм чипов, используя технологии предыдущих поколений от STMicroelectronics.

Для России производство передовой интегральной электроники стратегически важно и, объективно, является национальной задачей. Федеральная целевая программа (ФЦП) «Развитие электронной компонентной

базы и радиоэлектроники» (Постановление Правительства РФ № 809 от 26.11.2007), призвана обеспечить переход отечественной наноэлектроники на 90 нм и 45 нм технологии в 2011 и 2015 годы, соответственно. Выполнение ФЦП создаст инфраструктуру и кадры, необходимые для ликвидации технологического отставания.

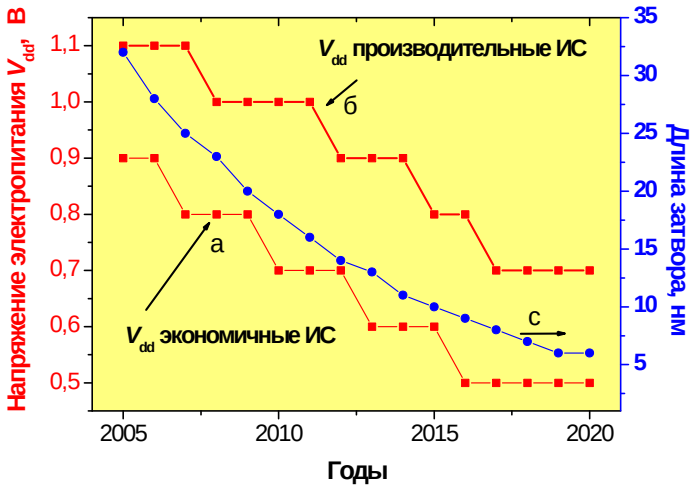

Рис. 2. Прогноз изменения напряжения электропитания V_{dd} и длины затвора CMOS – транзисторов ИС: а) экономичный режим; б) высокопроизводительный режим; с) длина затвора (построено по данным ITRS-2006, [5]).

В наноэлектронике смена поколений технологий и приборов происходят каждые 3-4 года, поэтому особую ценность имеют не знания, вложенные в уже функционирующие кремниевые фабрики, а интеллектуальный капитал, который позволит в будущем создавать передовую продукцию. Несмотря на навязанное отечественной полупроводниковой индустрии гигантское отставание, у России есть возможности для выхода на передовые позиции в наноэлектронике. Для реализации этих возможностей необходимо опережающими темпами развивать принципиально новую и перспективную область интегральной электроники - «глубоко субвольтовую наноэлектронику» (ГСН).

3. Глубоко субвольтовая наноэлектроника (ГСН) и ее перспективы

Термин «глубоко субвольтовая наноэлектроника» (deep-sub-voltage nanoelectronics) предложен в [7-9]. Он обобщает понятие ИС, функционирующих вблизи теоретического предела (фундаментального, технологического, приборного, дизайн методологического, алгоритмического) расхода энергии ε на обработку 1 бит. Типичная ИС в ГСН должна иметь плотность компонентов 10^{11}-10^{12} см$^{-2}$ и $V_{dd} \lesssim 0{,}25$ В. В 2008 году плотность компонентов приблизится к 10^{10} см$^{-2}$, а частота переключения нанотранзисторов к 10^{10} Гц. Задачи, решенные на пути к области «10^{10}-10^{10}», носили, в основном, технологический характер. Для прорыва в область тера-масштабной интеграции необходимо преодолеть ряд фундаментальных проблем, в первую очередь, проблему теплового разогрева ИС.

Современные ИС с детерминированными переключателями рассеивают энергию при выполнении каждой логической операции (вероятность ошибки переключения $p_{err} \sim 10^{-25}$). При уменьшении латеральных размеров транзисторов в s раз рассеиваемая ИС мощность W определяется соотношением [10,11]:

$$W \sim (V_{dd}/ s)^2. \qquad (1)$$

У современных ИС W ≈100 Вт/см^2 (V_{dd} ≈1 В), что близко к предельным значениям для отвода тепла при воздушном охлаждении. Уменьшение размеров нанотранзисторов в условиях перегрева W =*const* (100 Вт/см^2) требует понижения V_{dd}. При *s*-масштабировании условие W =*const* ограничивает V_{dd} сверху, а снизу на V_{dd} накладывает ограничение тепловой шум, который, из-за уменьшения в s^2 раз энергии конденсатора на затворе полевых транзисторов, может вызывать сбои при малых V_{dd}. У детерминированных ИС области «10^{10}-10^{10}» частота шумовых сбоев $f_{err} \leq 1$/год, поэтому V_{dd} должно быть не менее 0,3-0,4 В [11].

Для микросистемной техники и ряда других научно-технических направлений нужны автономные приборы с малым расходом энергии ε. У кремниевых CMOS технологический предел ε достигается при $V_{dd} \leq 0.3$ В [12]. В [13] созданы CMOS со специальной архитектурой, которые работают при V_{dd} =180 мВ. При плотности компонентов 10^{11}-10^{12} см$^{-2}$ резко обостряется проблема обеспечения надежной работы наноприборов. Однако, известны подходы, гарантирующие надежное функционирование таких ИС в условиях сильных помех и при V_{dd} близких к уровню шумовых источников.

В одном из них, использующем вероятностные (probabilistic) ИС, правильное переключение нанотранзистора осуществляется с вероятностью $0,5 < p < 1$. В ряде важных приложений (обработка видео потоков, изображений и др.) вероятностные ИС [14] позволяют понизить ε в ~400 раз при p ≈0,95 (исследования поддержаны Intel, DARPA и др). Сингапурский технологический университет выделил средства для организации Institute for Sustainable Nanoelectronics, который на основе вероятностной методологии [14] будет разрабатывать автономные встраиваемые микроприборы для систем мониторинга, разведки, информационной защиты и безопасности, биомедицины и др. Другой подход к построению устойчивых к шуму и отказам приборов (fault tolerant devices) состоит в обеспечении параллелизма работы электронных компонентов (и/или повторном выполнении логических операций). ИС с плотностью транзисторов ~10^{12} (50 кратная избыточность компонентов, p_{err} =10^{-4}) могут работать с надежностью 90% в течение 10 лет [15]. Значение V_{dd} ≈0,27 В обеспечивает p_{err} =10^{-4} при T =300 К, как это следует из формулы Больцмана $p_{err} \approx \exp(-CV^2_{dd}/2\, k_B T)$, где емкость на затворе полевого транзистора C =10^{-18} Ф. Проблема получения надежной информации с помощью вероятностной логики от систем, содержащих ненадежные в работе компоненты, впервые рассмотрена в [16].

В 2005-2007 гг. Киш (Kish L.B) впервые предложил принципиально новый подход ([17] и ссылки). Он показал, что модулированный тепловой шум может являться носителем информации и использоваться для создания полностью закрытых от прослушивания проводных информационных каналов и коммуникационных сетей. В [17] обсуждается вопрос о создании процессора, в котором тепловой шум исполняет роль тактового генератора (p_{err} ≈0,5, ε ≈1,1 $k_B T$ / бит). Фундаментальный предел для энергии ε у необратимых переключателей составляет ~$k_B T$ ln2 /бит [18]. Оценки показывают [20], что для построения ИС на основе одноэлектронных транзисторов с малыми ε при T =300 К необходимо уменьшить размеры квантовых точек до ≈1 нм. Квантовые ИС общего назначения уступают в ~10^2 раз по ε классическим ИС, сопоставимой производительности [20]. В перспективе, должны получить развитие квази-адиабатические ИС [19], у которых большинство логических операций выполняются обратимо, а значения ε могут быть сколь угодно малыми. На Рис.3 показана долговременная тенденция уменьшения ε в электронике.

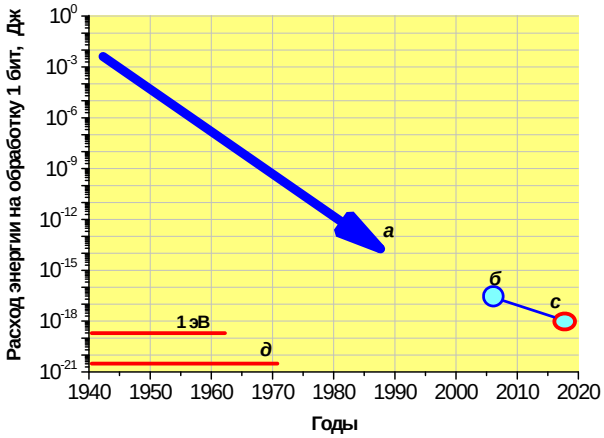

Рис.3. Тенденция понижения в электронике энергии ε, рассеиваемой при обработке 1 бит: *а*) данные 1988 года [21]; *б*) данные [17,18]; *с*) прогноз предела для CMOS [18]; *д*) фундаментальный предел фон-Неймана- Ландауэра для необратимой логической операции при 300 K ($k_B T \ln 2$).

Иерархия уровней, определяющих пределы расхода энергии ε на обработку 1 бит показана на Рис. 4. Каждый уровень задает пределы ε, а переход на уровень вверх многократно увеличивает число возможных технических решений. Для CMOS-технологий предел ε достигается при $V_{dd} \geq \beta\, k_B T/q \approx 0{,}1$ В (300 K, β =2-4) [19]. В ГСН на уровне типов и классов приборов перспективны графеновая наноэлектроника [23], логические цепи на основе 1D–нанопроволок [24], шаблоны квантовых точек [25], транзисторы на основе межзонных туннельных переходов (low-sub-threshold swing tunnel transistors) с $V_{dd} \approx 0{,}2$ В [22], и др. На уровне методологии дизайна ИС в ГСН рассматриваются клеточные автоматы [26], нейронные сети (адаптивны и устойчивы к дефектам) [27], перекрещивающиеся (crossbar), 3D- и гибридные структуры [28]. На уровне систем - встраиваемые приборы, например, для связки человек – машина (brain-machine interfaces) и др. В программе NRI [3] основные усилия направлены на поиски новых носителей информации и способов ее обработки и передачи.

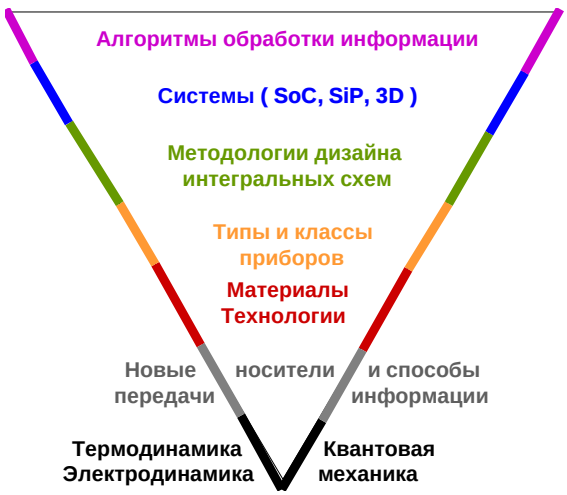

Рис.4. Иерархия уровней, определяющих теоретические пределы ε в ГСН.

В ГСН доля выпуска заказных ИС должна быть большой, что обусловлено следующими причинами: (а) наличие множества подходов к достижению предельных значений ε (рис. 4); (б) существование широкого спектра научно-технических направлений (микро- и наносистемная техника, беспроводные сети микросенсоров и микророботов, радиочастотная идентификация (RFID), биомедицинские приложения и др.), которым необходимы автономные и экономичные ИС типа «система на чипе»; (с) чип площадью <1мм^2 при плотности компонентов 10^{11}-10^{12} см$^{-2}$ будет обладать высокой функциональностью. В силу условий (а) и (б) число чипов в заказной партии относительно невелико, ~10^4 -10^5, а в силу (с) для изготовления этих чипов достаточно 2-10 пластин диаметром 100 -200 мм. Поэтому следует ожидать, что мини-фабрики с быстрой переналадкой технологических процессов получат распространение в ГСН. В этой связи особое внимание нужно обратить на развитие технологий создания высокоплотных (до 10^{12} см$^{-2}$ двухэлектродных элементов) перекрещивающиеся (crossbar) структур [6], не требующих совмещения электродных слоев с высокой точностью и, обеспечивающих ряд важных преимуществ в гибридных конфигурациях со CMOS [28].

Развитие ГСН будет способствовать становлению «национальной инновационной системы»[29] и позволит лучше сбалансировать ресурсы [2], определяющие развитие страны и ее национальную безопасность. В рамках инновационной системы целесообразно создать «национальное бюро интеллектуальной собственности в области наноэлектроники» - конкурентно-способное на мировом уровне государственно-частное предприятие с функциями селекции инновационных решений, международного патентования, судебной защиты и управления интеллектуальной собственностью. При поддержке этого бюро небольшие высокотехнологичные российские компании, обладатели важных и ключевых патентов, смогут на выгодных и лидерских условиях встраиваться в процесс инновационного развития ГСН (например, с помощью механизма перекрестного лицензирования).

4. Наноионные суперконденсаторы (НСК) в наноэлектронике

В 1965 году в [1] проблема конденсаторов названа фундаментальной в интегральной микроэлектронике. За прошедшие годы огромные вложения в исследования и разработки не обеспечили требуемые плотность емкости, радиационную и температурную стойкость конденсаторов традиционных конструкций. В портативных приборах ультраплотного поверхностного монтажа с дискретными электронными компонентами в корпусе 01005 (400 мкм х 200 мкм х 200 мкм) конденсаторы емкостью C > 0,01 мкФ имеют большие габариты. Высокоемкие конденсаторы и накопители микронных размеров с высокими плотностями энергии E, мощности W и емкости C необходимы для развития многих научно-технических направлений и для производства портативных приборов массового спроса.

В период 1970-2007 гг. в микро- и наноэлектронике с уменьшением производственных технологических норм величина напряжения электропитания ИС V_{dd} уменьшена, примерно, с 10 В до 1 В и менее. В конденсаторах напряженность электрического поля пробоя F_{max} , диэлектрическая проницаемость k и V_{dd} связаны с плотностями емкости[1)] ρ_C и δ_C соотношением:

$$V_{dd} = F_{max} (k\cdot \varepsilon_0 / \rho_C)^{1/2} = F_{max}\, k\, \varepsilon_0 / \delta_C, \qquad (2)$$

где ε_0 = 8.85 10^{-12} Ф/м. Анализ показывает [30,31], что в субвольтовой области тонкопленочные конденсаторы традиционных конструкций не могут быть $V_{d\ d}$ - ρ_C (δ_C) -масштабированы из-за экспоненциального роста туннельного тока утечки через слой диэлектрика толщиной $d = V_{dd}/F_{max}$ ~1-1,5 нм. Диэлектрики с большими значениями k (сегнетоэлектрические керамики, ZrO_2, HfO_2, и др.) также не обеспечивают δ_C > 15 мкФ/см^2,

[1)] Объемные и поверхностные плотности емкости даются символами ρ и δ, соответственно.

поскольку с уменьшением d величины k , F_{max}, термическая и полевая стойкость к пробою понижаются [32]. Для портативных приборов с V_{dd} =1,5 -1 В лидер электронной индустрии «Murata» выпускает многослойные сегнетоэлектрические конденсаторы в корпусе 01005 емкостью C_{max} = 0,01 мкФ с V_{dd} =6,3 В (ρ_C ≈0,6 мкФ/мм^3, эффективная δ_C ≈12 мкФ/см^2) [33]. Несоответствие величин V_{dd} приборов и конденсаторов указывает на трудности $V_{d\,d}$ - ρ_C (δ_C) масштабирования (проблема уменьшения d).

Субвольтовые конденсаторы микронных размеров традиционных конструкций не обеспечивают минимальные, необходимые многим приложениям, значения ρ_C >1 мкФ/мм^3 и δ_C >50 мкФ/см^2 . Такие емкости необходимы для фильтрации помех и низкочастотных 1/f шумов, сглаживания пульсаций, питания импульсных нагрузок при малых допустимых перепадах напряжения (≈0.1 В), работы в условиях повышенных температур и проникающих ионизирующих излучений, накопления энергии от фотоэлементов, β- генераторов и других слаботочных источников в автономных приборах и т.д. [30,31]. Использование тренчевых структур с большими аспектными отношениями полностью не решает проблему увеличения ρ_C (δ_C) и вносит дополнительные технологические трудности (3D-микроструктуры вместо 2D-наноструктур). При переходе от субвольтовой наноэлектроники к ГСН необходимо дополнительно увеличить ρ_C и δ_C еще в 10-20 раз [9].

В работах [30,31] предложена концепция широкого использования в наноэлектронике, беспроводных технологиях, микросистемной и космической технике, RFID, высокотемпературной электронике, биомедицине и других технологиях высокоемких наноионных суперконденсаторов (НСК) - импульсных накопителей микронных размеров с быстрым ионным транспортом на функциональных гетеропереходах передовой суперионный проводник (ПСИП)/электронный проводник (ЭП). В пленочных НСК, которые можно формировать с помощью вакуумных микроэлектронных технологий, величины δ_C и ρ_C на 1-2 десятичных порядка выше, чем у конденсаторов традиционных конструкций.

Проблема гетеропереходов ПСИП/ИЭ - низкая частота их функционирования, что связано с нарушением условий для БИТ (нарушение структуры) в молекулярно тонком слое ПСИП, прилегающем к ЭП. В [34,35] для решения этой проблемы предложено формировать когерентные гетеропереходы ПСИП/ЭП с высокими частотно-емкостными характеристиками. Некоторые условия создания когерентных гетеропереходов ПСИП/ЭП на основе наноионики ПСИП представлены в работах [36,37]. ПСИП имеют кристаллическую структуру, близкую к оптимальной для БИТ. В ПСИП ионы одного знака (например, иод I^- в α-AgI) образуют жесткую подрешетку, в пустотах которой перемещаются ионы подвижного сорта (Ag^+ в α-AgI). При подаче потенциала на структурно упорядоченный гетеропереход ПСИП/ЭП на нем индуцируются заряды противоположного знака. Каждому индуцированному диполю может быть сопоставлена емкость e /V ≈0,3 10^{-18} Ф, где e = 1,6 10^{-19} Кл и V ≈0,5 В. На атомарно гладких гетеропереходах ПСИП/ЭП при плотности диполей 3· 10^{14} см$^{-2}$ суммарная емкость составит δ_C ~100 мкФ/см^2. При кристаллографическом фасетировании границы емкость может быть повышена до значений ~10^3 мкФ/см^2, что отвечает потребностям ГСН и связанных с ней технологий.

В ИПТМ РАН на основе развития работ по наноионике – разделу нанотехнологий, впервые предложенному в [38], созданы лабораторные образцы импульсных накопителей с рекордно высокими характеристиками: при частотах до 1 МГц и температурах 85-180 ^{o}C δ_C ≈100 мкФ/см^2 , ρ_C >10 мкФ/мм^3 , что значительно больше, чем у приборов-конкурентов - многослойных сегнетоэлектрических конденсаторов ультра плотного поверхностного монтажа (Samsung, TDK, Murata и др.) [30,31].

Согласно оценкам [37], НСК имеют большой технологический запас, поскольку с помощью дизайна гетерограниц [36] частота функционирования может быть увеличена до 1 ГГц. Разработанные приборы уже сегодня могут использоваться: (1) on-board на современных процессорах, где температура достигает 85-100 ^{o}C,

(2) в электронике для глубокого бурения (температура 150 ^{o}C и выше), (3) в приборных отсеках космических аппаратов, где остро стоит проблема перегрева электроники (при 150 ^{o}C ресурс работы сегнетоэлектрических конденсаторов - несколько часов).

5. Нанотехнологическая гонка и стратегический маркетинговый анализ НСК в ГСН

В эру глобального рынка доминирующим фактором является конкурентоспособность. Потеря конкурентоспособности быстро сводит на «нет» фирмы, корпорации и государства. Нано-технологическая гонка стартовала в 1996-1998 гг. с подготовкой к активной стадии реализации NNI США. Зарождение идеологии NNI содержится в [39-43], где рассмотрен переход к новой области интегральных технологий, наноэлектронике. Конкурентоспособность в научно-технической сфере можно оценить по формуле:

$$\text{РЕЗУЛЬТАТ} = \prod_i \phi_i , \qquad (3)$$

где множители – «объем финансирования» (ϕ_1), «время участия в гонке» (ϕ_2), «патенты и лицензии» (ϕ_3), «мотивация», «квалификация персонала», «численность персонала», «технические средства» и др. Фонд оплаты труда включен в ϕ_1. Когда один из сомножителей близок к 0, РЕЗУЛЬТАТ = 0. За 10 лет активной стадии реализации NNI и других, связанных с ней программ, США израсходовали ~ 30 миллиардов $ (госбюджет, частные инвестиции, программы отдельных штатов), то есть ϕ_1 =30 миллиардов $, ϕ_2 =10 лет. С учетом латентного периода развертывания NNI у США ϕ_2 ≈15 лет. Российская национальная нанотехнологическая инициатива (РННИ) находится в латентной стадии: ϕ_1 =0 миллиардов $, а ϕ_2 =0 лет.

Множество областей «нано- … » - это новый уровень в познании и практике. В 2007 году объявлено, что на развитие отечественных нанотехнологий выделены средства. В СМИ приводятся заявления: «*Использовать такие деньги надо максимально эффективно. Рассчитываю, что позитивную роль в этом процессе сыграет созданная в прошлом году Российская корпорация нанотехнологий, которой по поручению правительства выделено 130 млрд. руб. Так что средств достаточно, были бы идеи. Но, к сожалению, я посмотрел материалы, и пока* ***денег больше, чем идей***» (Зубков). «*У нас сегодня денег* ***больше, чем проектов***» (Фурсенко) [44,45]. Допустим, деньги для развития высоких технологий найдутся, но, как компенсировать понесенный Россией урон, - упущенное время ϕ_2 =0 лет? Нужно искать подход, который обеспечит достижение значительного РЕЗУЛЬТАТА в относительно короткие сроки и с «максимальной эффективностью». Основа идеологии такого подхода - это концентрация на национальных проблемах и задачах [46,47], которые можно решить с помощью высоких технологий.

Выше показано, что в принципиально новой области ГСН (и в связанных с ней научно-технических направлениях) потребность в высокоемких конденсаторах микронных размеров нарастает. Оценка порядковой стоимости рынка высокоемких конденсаторов микронных размеров выполнена в [30, 31]:

$$B_{\text{НСК}} = \sum_j N^j_{\text{ИС}} \cdot A^j_{\text{ИС}} \cdot S , \qquad (4)$$

где $B_{\text{НСК}}$ – валовая стоимость НСК , j – индекс сектора рынка, $N^j_{\text{ИС}}$ – число произведенных ИС; $A^j_{\text{ИС}}$ – средняя стоимость одной ИС; S – средняя доля площади ИС, занимаемая НСК. Например, в секторе приборов радиочастотной идентификации (RFID) у дешевых чипов конденсаторы энергетического блока занимают ≈¼ площади, т.е. можно принять S ≈0.25. Прогнозируется, в период 2006-2016 гг. рынок RFID вырастет в 10 раз и достигнет $N^1_{ИС} \cdot A^1_{ИС}$ ~$ 26 млрд. Таким образом, стоимость НСК в ГСН может составить ~20 % валовой стоимости рынка чипов. Это вводит НСК в поле стратегических интересов сотен фирм и корпораций,

нацеленных на завоевание рынков передовой наноэлектроники и связанных с ней технологий. Таким, образом, разработки и международное патентование (множитель ϕ_3) высокоемких импульсных накопителей микронных размеров – наноионных суперконденсаторов, помогут отечественной полупроводниковой индустрии на выгодных условиях участвовать в процесс инновационного развития глубоко субвольтовой наноэлектроники и занимать передовые позиции в стратегически значимой сфере.

Встраивание России в нано-технологическую эру должно быть системным. Золотовалютный резерв страны растет и на начало февраля 2008 года превышает 480 миллиардов $ (3-е место в мире после Китая и Японии). Это позволяет развивать отечественные нанотехнологии без ущерба для отечественных промышленности, сельского хозяйства и других отраслей, не прибегая, как США, к выпуску необеспеченных денежных знаков. Средства на развитие нанотехнологий можно получить от продажи ценных бумаг США, ежегодное инфляционное обесценивание которых ~10% (уже потеряны десятки миллиардов $).

Литература

[1] ***Moore G.E.*** Cramming more components onto integrated circuits // Electronics 1965. V.38. P. 114-117.

[2] ***Модестов С.А.*** Системно-ресурсный подход к геополитике XXI века // Национальные интересы 2002. № 4.

[3] ***Welser J.J., Bourianoff G.I., Zhirnov V.V., Cavin R.K.*** The quest for next information processing technology // J. Nanoparticle Research 2008. V.10. NO. 1. P. 1-10.

[4] ***Сметанов А.Ю.*** Состояние и тенденции развития предприятий ВПК в современных экономических условиях // Интеграл 2007. №5 . С.29-31.

[5] http://www.itrs.net/home/html

[6] ***Green J.E***. и др. A 160-kilobit molecular electronic memory patterned at 10^{11} bits per square centimetre // Nature 2007. V.445. P.414-417.

[7] http://en.wikipedia.org/wiki/Deep-sub-voltage_nanoelectronics

[8] ***Despotuli A.L., Andreeva A.V.*** Applied nanoionics of advanced superionic conductors // 3-rd Int. Conf. on Micro-Nanoelectronics, Nanotechnology & MEMs (Micro&Nano 2007) Athens, Greece 18 – 21 November 2007. Abstracts. P. 64.

[9] ***Деспотули А.Л., Андреева А.В., Аристов В.В.*** Наноионные суперконденсаторы микронных размеров: перспективы разработки и применения // «Нанотехнологии – производству 2007». 28-30 ноября 2007. Фрязино. Тезисы. С.93-95.

[10] ***Cerofolini G.F.*** Realistic limits to computation. I. Physical limits // Appl. Phys. A 2007. V.86. P. 23-29.

[11] ***Kish L.B.*** End of Moore‘s law: thermal (noise) death of integration in micro and nano electronics // Phys. Lett. A. 2002. V.305. P.144 -149.

[12] ***Zhai B., Blaauw D., Sylvester D., Flautner K.*** Theoretical and practical limits of dynamic voltage scaling // Design Automation Conference 2004. P. 868-873.

[13] ***Wang A., Chandrakasan A.*** A 180-mV subthreshold FFT processor using a minimum energy design methodology // IEEE J. Solid-State Circuits 2005. V. 40. P. 310-319.

[14] ***Chakrapani L.N.B., George ZJ., Marr B., Akgul B.E.S., Palem K.V.*** Probabilistic design: a survey of probabilistic CMOS technology and future directions for terascale IC, in book “VLSI-SoC: research trends in VLSI and systemson chip” (book series IFIP International Federation for Information Processing). Springer. Boston. 2008. P. 101-118.

[15] ***Sadek A.S., Nikolie K., Forshaw M.*** Parallel information and computation with restitution for noise-tolerant nanoscale logic networks // Nanotechnology 2004. V.15. P. 192 -210.

[16] ***J.von Neumann*** Probabilistic logics and the synthesis of reliable organisms from unreliable componens. In Automata Studies (C.E. Shannon and J. McCarthy, eds.), P. 43-98. Princeton Univ. Press. N.J. 1954.

[17] ***Kish L.B.*** Termal noise driven computing // Appl. Phys. Lett. 2006. V. 89. P.144104

[18] ***Cavin R.K., Zhirnov V.V., Herr D.J.C., Avila Alba, Hutchby J.*** Research directions and challenges in nanoelectronics // J. Nanoparticle Research 2006. V.8. P.841-858.

[19] ***Meindl J.*** Low power microelectronics: retrospect and prospect // Proc. IEEE 1995. V.83. NO.4. P.619-635.

[20] ***Kish L.B.*** Moore's law and the energy requirement of computing versus performance // IEE Proc.-Circuits Devices Syst. 2004. V. 151. NO.2. P.190-194.

[21] ***Keyes R.W,*** Miniaturization of electronics and its limits // IBM J. Res. Develop. 2000. V. 44. #1/2. P. 84-88.

[22] ***Zhang Q., Zhao W., Sebaugh A.*** Low-subthreshold-swing tunnel transistors // IEEE Electron Device Letters 2006. V.27. NO.4. P.297-300.

[23] ***Xuan Y., Wu Y.Q., Shen T., Qi M., Caparo M.A., Cooper J.A., Ye P.D.*** Atomic-layer-deposited nanostructures for graphene-based nanoelectronics // Appl. Phys. Lett. 2008. V.92. P.013101.

[24] ***Ma R.-M., Dai L., Huo H.-B., Xu w.-J., Qin G.G.*** High-performance logic circuits constructed on single CdS nanowires // Nano Letters 2007. V.7., No.11., P.3300-3304.

[25] ***Степанов М.В.*** Технологии наноэлементов на базе шаблонов квантовых точек для интегральных наносхем. Элементарные блоки для строительства безтранзисторных вентилей в библиотечных элементах нанокомпилятора (САПР НЭ) // Нанотехника 2007. № 4 (12). С. 88-98.

[26] ***Zhirnov V., Cavin R., Leeming G., Galatsis K.*** An assessment of integrated digital cellular automata architectures // Computer (IEEE Computer society) 2008. V.41. No.1. P.38-44.

[27] ***Snider G.S.*** Self-organized computation with unreliable, memristive nanodevices // Nanotechnology 2007. V.18. P.365202.

[28] ***Likharev K.K.*** Hibrid semiconductor/nanoelectronics circuits: freeing advanced lithography from the alignment accuracy burden // J. Vacuum Sci. & Tech. B 2007. V. 25. No. 6. P. 2531-2536.

[29] ***Гольдштейн Г.Я.*** Стратегический инновационный менеджмент. Таганрог. ТРТУ, 2004.

[30] ***Деспотули А.Л., Андреева А.В.*** Высокоемкие конденсаторы для 0.5-вольтовой наноэлектроники будущего // Современная электроника 2007. №7. с.24-29.

[31] ***Деспотули А.Л., Андреева А.В., Аристов В.В.*** Высокоемкие конденсаторы для наноэлектроники // Нано- и микросистемная техника 2007. № 11 (88). С.38-46.

[32] ***Karan N.K., Saavedra-Arias J.J., Perez M., Thomas R., Katiyar R.S.*** High energy density metal-insulator capacitors with $Ba[(Ni_{1/2}, W_{1/2})_{0.1} Ti_{0.9}]O_3$ thin films // Appl. Phys. Lett. 2008.V.92. P.012903.

[33] ***Nakagawa K.*** Needs for 01005-style parts drive mounting, packaging gains // AEI Dempa Pablication, Inc. 2007. P.37.

[34] ***Despotuli A.L., Andreeva A.V.*** Double-layer thin-film supercapacitors for nano-electro-mechanical systems (NEMS) // Proc. IARP International Workshop "Micro Robots, Micro Machines, Micro Systems", Moscow, April 24-25. 2003. P. 129-141.

[35] ***Деспотули А.Л., Андреева А.В.*** Создание новых типов тонкопленочных суперконденсаторов для микросистемной техники и микро(нано)электроники (Часть 1) // Микросистемная техника. 2003. № 11. С. 2-10.

[36] ***Andreeva A.V., Despotuli A.L.*** Interface design in nanosystems of advanced superionic conductors // Ionics.2005. V.11.№.1&2.P. 152-160

[37] ***Despotuli A.L., Andreeva A.V., Rambabu B.*** Nanoionics of advanced superionic conductors // Ionics 2005. V. 11. P. 306 -314.

[38] ***Despotuli A.L., Nikolaichik V.I.*** A step towards nanoionics // Solid State Ionics 1993. V.60. P. 275-278.

[39] ***Bate R. T., Reed M. A., Frensley W. R.*** Nanoelectronics // Final Technical Report, 15 Jun. 1984 - 14 Jun. 1987. Texas Instruments, Inc., Dallas (Publication Date: 08/1987).

[40] ***Bate R., Frazier G., Frensley W., Reed M.*** An overview of nanoelectronics // Texas Instruments Technical Journal. July-August 1989. P. 13-20.

[41] ***Bate R. T.*** Nanoelectronics // Nanotechnology 1990. V.1. P.1-7.

[42] ***Frazier G.*** An ideology for nanoelectronics // in Concurrent Computations: Algorithms, Architecture, and Technology. Plenum Press. N.-Y. 1988.

[43] ***Randall J.N., Reed M.A., Frazier G.A.*** Nanoelectronics: Fanciful physics or real devices? // J.Vac.Sci.Technol. B 1989. V. 7(8). P. 1398-1404.

[44] http://www.polit.ru/science/2008/01/17/zubkov.html

[45] http://qal.ru/economy/n7037

[46] http://www.nanometer.ru/2007/12/21/ras_5470.html

[47] http://www.slideshare.net/onexim/nano-part2/

ПРИЛОЖЕНИЕ (по материалам электронных СМИ)

(http://www.wired.com/) и (http://www.physorg.com) Published: 09:44 EST, February 04, 2008

New Super-Efficient Chip Could Run on Body Heat

MIT electrical engineer Anantha Chandrasakan and graduate students Joyce Kwong, Noveen Verma and Yogesh Ramadass have developed a microchip that could be 10 times more energy-efficient than current technology. The key to the improvement in energy efficiency was to find ways of making the circuits on the chip work at a voltage level much lower than usual.

While most current chips operate at around one volt, the new design works at just **0.3** volts. Reducing the operating voltage, however, is not as simple as it might sound, because existing microchips have been optimized for many years to operate at the higher standard-voltage level. "Memory and logic circuits have to be redesigned to operate at very low power supply voltages," Chandrakasan says.

One key to the new design, he says, was to build a high-efficiency DC-to-DC converter-which reduces the voltage to the lower level-right on the same chip, reducing the number of separate components. The redesigned memory and logic, along with the DC-to-DC converter, are all integrated to realize a complete system-on-a-chip solution.

A new chip uses so little power, it could enable sensors, communication devices and other gadgets that run on body heat and movement alone. **There may also be a variety of military applications in the production of tiny, self-contained sensor networks that could be dispersed in a battlefield.**

The chip uses 70 percent less voltage than current chip technologies. It could lead to an order-of-magnitude increase in energy efficiency for electronics in the next five years, said the MIT researchers who developed the new technology. "It will extend the battery lifetime of portable devices in areas like medical electronics," said Anantha Chandrakasan, a professor of electrical engineering at MIT. "When you look at the digital processor, the fact is that we may be able to reduce the energy needed by 10 times."

Better circuit design and batteries have already led to smaller, more-mobile electronics. But changing a battery is not an option for many medical and military devices. **Military researchers at DARPA, which helped fund the MIT work**, are keen to increase the lifespan of these technologies or even eliminate the need to charge them. **Military strategists imagine these types of low-power chips could be used in the battlefield, particularly in body and environmental sensors.** Among more mundane uses, Nokia is looking at low-voltage chips for use in cellphones and computers. Intel also has a low-power-chip research unit.

Designing a low-voltage chip is complicated, because transistors -- the bases of chips -- use voltage changes to switch on and off. Increase the voltage to the system, and the transistor eventually hits its threshold and switches on. Decrease it, and the transistor switches off. That ability is what allows it to store the binary information -- the 1's and 0's -- that forms the basis of computing.

But at low voltages, variations introduced during transistor production can cause errors. "When you scale voltages, the first thing to break is memory on a chip," Chandrakasan said. "You have to redesign the memory and logic so you can handle the variation." Working with scalable energy voltages, he said, required a whole suite of design techniques, including a fundamental change in the memory cell from six transistors to eight. The researchers think medical devices like pacemakers and **various military applications** could use the new chip within five years.

Decreasing power consumption is the key to unleashing medical technologies on the battlefield, said Barry Perlman, associate director for technology at the Army's Communications Electronics Research and Development Center at Fort Monmouth, New Jersey. "**Sensors that are involved in monitoring the soldier's health, managing blood flow or heart rate, or measuring the thermal profile of the soldier** -- there's no question all of this is very, very important," Perlman said. "But it's not realistic unless the power requirement associated with them is really low."

The power requirements for sensors attached to the body could be reduced to near zero, Chandrakasan said. The body's heat and movement could generate the microwattage necessary to power the devices. The researchers designed their proof-of-concept chip with researchers at Texas Instruments, using a standard semiconductor-fabrication process.

The major trade-off for the lower power usage is raw speed, said Connie Brown, spokeswoman for Intel's mobile platforms. Intel's newest mobile platform, SilverThorne, cuts power consumption to less than 2 watts. That's less than one-fifth of any previous offerings and one-eighth the power draw of ballyhooed products like the MacBook Air's new chip, which draws 17 watts. The MIT team's chip uses between 1 and 100 microwatts.

While a couple of watts in energy savings might not be a big deal to consumers with access to the power grid, Perlman said soldiers often have to carry all the power for their battlefield communications devices -- which are about 10 times bigger than typical cellphones. "**You can start to imagine how power becomes a very, very important parameter to the soldier**," he said.

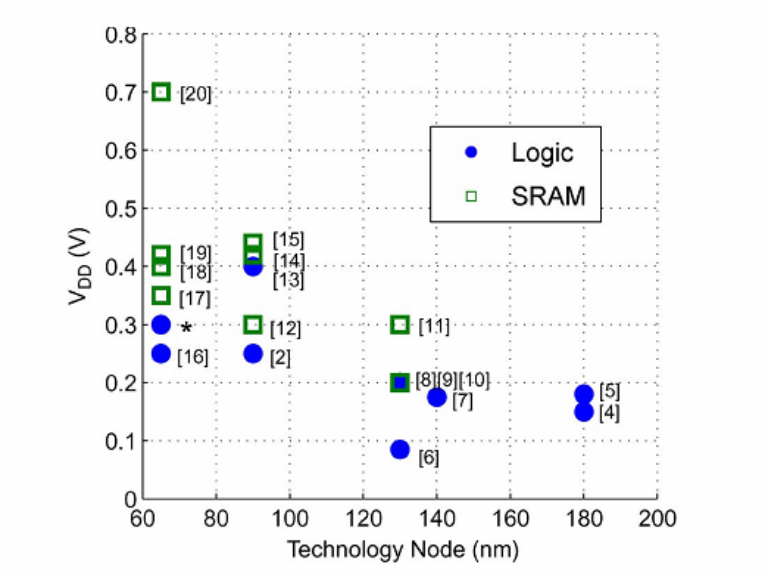

Fig.1. Minimum V_{dd} for recently reported designs. SRAMs provide V_{dd} the primary barrier to low-voltage operation [***].

[***] ***Verma N., Kwong J., Chandrakasan A.P.*** Nanometer MOSFET variationin minimum energy subthreshold circuits // IEEE Trans. on Electron Devices, 2008. V.55. NO.1. P. 163-174.